

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-46318

⑬ Int. Cl.⁵

G 02 F 1/133
G 09 G 3/20
3/36

識別記号

5 5 0

J

庁内整理番号

8806-2K
9176-5G
8621-5G

⑭ 公開 平成4年(1992)2月17日

審査請求 未請求 請求項の数 5 (全10頁)

⑮ 発明の名称 アクティブマトリックス表示装置

⑯ 特 願 平2-155956

⑰ 出 願 平2(1990)6月14日

⑱ 発 明 者	塚 田 敬	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	武 田 悦 矢	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	月 川 靖 彦	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	南 野 裕	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑳ 代 理 人	弁理士 栗野 重孝	外1名	

明 細 書

1. 発明の名称

アクティブマトリックス表示装置

2. 特許請求の範囲

- (1) マトリックス配置された複数の信号電極および走査電極と、各信号電極と走査電極とで包含された領域内に設けられた表示素子と、走査電極で制御される第1および第2のスイッチ素子を有し、第1のスイッチ素子は信号電極と表示素子間で接続され、第2のスイッチ素子は走査電極を介した表示素子間で接続された構成からなるアクティブマトリックス表示パネルの駆動に際して、1走査期間を1Hとした場合、選択走査電極の駆動期間をnH (n≧2の整数)とし、かつ次選択走査電極と1Hの位相差でnH選択の繰順次駆動を行ったことを特徴とするアクティブマトリックス表示装置。
- (2) 表示データ信号の垂直方向表示ドット数をNに対して、表示パネルの走査電極数をNとした場合、第1走査期間に第1番目から第n番目の

走査電極について同時選択し、nH選択の繰順次走査駆動を行ったことを特徴とする請求項(1)記載のアクティブマトリックス表示装置。

- (3) 走査電極を駆動するXドライバを走査電極の片側ブロックでのみ構成し、選択期間をnHとした場合、Xドライバの制御に関し、1H間隔走査を開始するシフトデータ信号のオン期間にシフトクロック信号にn個のクロック信号を入れたことを特徴とする請求項(2)記載のアクティブマトリックス表示装置。
- (4) 走査電極を駆動するXドライバを奇数電極側と偶数電極側の2ブロックに分割し、n'H選択(但し、n'=2(n-1))の繰順次走査駆動を行ったことを特徴とする請求項(2)記載のアクティブマトリックス表示装置。
- (5) 奇数電極側と偶数電極側Xドライバの制御に関し、1H間隔走査を開始するシフトデータ信号のオン期間に各シフトクロック信号にn'/2個のクロック信号を入れたことを特徴とする請求項(4)記載のアクティブマトリックス表示装置。

置。

3、発明の詳細な説明

産業上の利用分野

本発明は液晶等による冗長構成を持つアクティブマトリックス表示装置に関するものである。

従来の技術

従来のアクティブマトリックス表示装置としてここでは液晶表示装置について述べる。例えば特開昭59-47623号公報に示されているような構成が一般的である。第5図はこの構成図を示すものであり、1は信号電極、2は走査電極、3はソースを信号電極1、ゲートを走査電極2に接続された薄膜トランジスタ(以後、TFTと称す)、4はTFT3のドレインと対向アース電極に接続された液晶表示素子であり、1組のTFT3と液晶表示素子4とで1画素分のアクティブ表示素子5となる。アクティブ表示素子5がマトリックス状に配置することにより表示パネル6が構成される。そして、信号電極1には表示データ信号に対応した電圧を出力するYドライバ8を接続し、走

査電極2には線順次走査を制御するXドライバ7を接続して、表示パネル6を駆動する。

以上のように構成された従来のアクティブマトリックス表示装置においては、第6図で示されるような走査タイミングで線順次走査がなされる。即ち、走査電極2(1, ..., N)には1走査期間(1H)の選択制御電圧(S_1, \dots, S_N)が印加され、選択状態の時、選択走査電極上に接続された一連のTFT3のソース・ドレイン間が導通となり、それらに接続された液晶表示素子4に対応する信号電圧が信号電極1から印加され、前記選択走査電極が非選択に切り換わると、上記TFT3は非導通になるので上記液晶表示素子4に印加された電圧は次のフレームまでの間(1V)、その値を保持する。

このような一連の動作により必要な信号電圧を正確かつ独立に各液晶表示素子に伝達することができるのでクロストークがなく、コントラスト比の大きい高品位な表示が可能となる。しかしながら、このような構成ではTFT3に不良が発生し

た場合、液晶表示素子4は正常な信号電圧が印加できなくなり、点欠陥となって表示品質を著しく低下させてしまう。

この解決法の一つがTFTの冗長構成があり、例えば特開昭61-243486号公報に示されているような構成である。これは第7図に示すように、1画素を2TFT構成としたもので、各走査電極2(X_1, \dots, X_N)に対して第1のTFT31と第2のTFT32のゲートは共通に接続される。そして、第1のTFT31(T_{11}, \dots, T_{1n})は信号電極1と液晶表示素子(表示素子)4(L_1, \dots, L_N)間に接続され、第2のTFT32(T_{21}, \dots, T_{2n})は各走査電極2(X_1, \dots, X_N)を挟んだ上下の液晶表示素子(L_1 と L_2 、 L_2 と L_3 、 \dots 、 L_{n-1} と L_n)間に接続されたものである。

このような構成の表示パネルを第6図の走査タイミングで線順次走査した場合の基本動作を述べる。第1走査期間で走査電極2の X_1 が選択されTFT31の T_{11} とTFT32の T_{21} が導通とな

り、液晶表示素子4の L_1 、 L_2 に信号電極1から信号電圧が印加される。次に第2走査期間で走査電極2の X_2 が選択され、TFT31の T_{12} とTFT32の T_{22} が導通となり液晶表示素子4の L_2 、 L_3 に信号電極1から信号電圧が印加される。この時、液晶表示素子4の L_2 は第1走査期間で充電された信号電圧から新たな信号電圧に充電されることになる。以下、同様の動作を繰り返すが、この基本的な動作状態を表にしたのが第8図(A)である。表からも明らかなように1走査期間に2個の表示画素を充電し、最後に充電された信号電圧が最終表示データ(●印)として正常な表示データが表示することになる。

発明が解決しようとする課題

前記のような構成におけるTFT不良の場合の表示状態について述べる。TFT不良には、ショート不良とオープン不良があるが、ショート不良はレーザートリミング等によりTFTを信号電極1、走査電極2、液晶表示素子4から切り離すことにより点欠陥のリペアができるものと仮定し、

ここではオープン不良に限定し2個までのTFT不良に関して述べる。

最初に第1のTFT31の1個が不良(ここでは T_g)になった場合の表示動作を示したのが第8図(B)である。選択走査電極が X_3 の時の信号電圧はTFT(T_g)の不良により表示画素 L_3 、 L_4 に充電されないが、選択走査電極が X_2 の時の信号電圧がTFT(T_g 、 T_g)を介して表示画素 L_3 、 L_4 に充電されているので、表示画素 L_3 の最終表示データは表示画素 L_2 の最終表示データと同じ信号電圧で表示が行われることにより、表示画素 L_3 の点欠陥が防げる。

次に第2のTFT32の1個が不良(ここでは T_g)になった場合の表示動作を示したのが第8図(C)である。選択走査電極が X_3 の時の信号電圧はTFT(T_g)を介して表示画素 L_3 のみ充電され、選択走査電極が X_4 の時の信号電圧がTFT(T_g)を介して表示画素 L_4 の最終表示データとして充電されるので正常な表示データが表示できる。

L_4 は2走査期間に渡って充電されないで点欠陥となってしまふ。

以上の結果からも解るように、第1のTFT31による不良の方が表示品質に与える影響は大きい。1個のTFT不良の時には点欠陥にはならないが、本来表示データに対して1H前の表示データとなる。このことは、TV表示のような隣接画素間の表示データに相関のあるTV表示のような場合には、あまり問題にならなから、情報データの表示にあっては、基本的には相関がないので正確な表示を行うことができない。さらに、隣接のTFTにおいて2個同時不良というのは確率($P \times P = P^2$: $P \ll 1$)の上では少ないとは言うものの点欠陥の発生に至ってしまう。

本発明はかかる点に鑑み、少なくとも1個のTFT不良においても正常なデータ表示が可能であり、隣接のTFTにおける3個までの不良においても点欠陥が生じない冗長性の高いアクティブマトリックス表示装置を提供することを目的とする。

次に第1のTFT31と第2のTFT32との隣接した2個が不良(ここでは T_g 、 T_g)になった場合の表示動作を示したのが第8図(D)である。選択走査電極が X_3 の時信号電圧はTFT(T_g 、 T_g)の不良により表示画素 L_3 、 L_4 に充電されないが、選択走査電極が X_4 の時の信号電圧はTFT(T_g 、 T_g 、 T_g)を介して表示画素 L_4 、 L_5 に充電されるので、結果として、表示画素 L_3 は表示画素 L_2 の最終表示データと同じ信号電圧で表示され、表示画素 L_4 は正常な表示データを表示できる。

最後に第1のTFT31の隣接した2個が不良(ここでは T_g 、 T_g)になった場合の表示動作を示したのが第8図(E)である。選択走査電極が X_3 の時の信号電圧はTFT(T_g)の不良により表示画素 L_3 、 L_4 に充電されなく、選択走査電極が X_4 の時の信号電圧はTFT(T_g)の不良により表示画素 L_4 、 L_5 に充電されないで、結果として、表示画素 L_3 は表示画素 L_2 の最終表示データと同じ信号電圧で表示され、表示画素

課題を解決するための手段

本発明は、マトリックス配置された複数の信号電極および走査電極と、各信号電極と走査電極とで包含された領域内に設けられた表示素子と、走査電極で制御される第1および第2のスイッチ素子を有し、第1のスイッチ素子は信号電極と表示素子間で接続され、第2のスイッチ素子は走査電極を介した表示素子間で接続された構成からなるアクティブマトリックス表示パネルの駆動に際して、1走査期間を1Hとした場合、選択走査電極の駆動期間を nH ($n \geq 2$ の整数)とし、かつ選択走査電極と1Hの位相差で繰順次走査駆動したことを特徴とするアクティブマトリックス表示装置である。

作用

本発明は前記した構成により、各表示素子に対して第1のスイッチ素子と第2のスイッチ素子が見かけ上、信号電極と並列になるため、1走査期間で n 本の走査電極が同時選択されると、 n 個の第1のスイッチ素子と第2のスイッチ素子との選

通により $(n+1)$ 個の表示素子が同一の表示データ信号電圧で駆動される。 n 個の第1のスイッチ素子の内、 a 個 ($n > a$) に不良があっても $(n-a)$ 個の第1のスイッチ素子及び n 個の第2のスイッチ素子を介して、 $(n+1)$ 個の表示素子を正常に駆動できる。また、 $a = n$ の場合は選択された表示素子を駆動できなくなるが、1走査期間前の選択駆動された $(n+1)$ 個の表示素子に対して、この時の選択駆動で影響を受ける表示素子数は n 個となるので、1個の表示素子に関しては1走査期間前の表示データ信号電圧を保持しているため、時間軸上は正常な表示データではないが、点欠陥のない表示を行うことができる。

実施例

第1図は本発明の実施例におけるアクティブマトリックス表示装置の線順次走査における駆動タイミング図を示すもので、表示データ信号が垂直方向で N 個転送された時の走査電極 (X_1, \dots, X_N) に印加される選択制御電圧 (S_1, \dots, S_N) の関係を示しており、第1図(A)は第1走

極の X_k と X_{k+1} は同時駆動することになる。

第7図の従来例で示した1画素が2 TFT の冗長構成を有する表示パネルを本実施例の第1図(A)による駆動タイミングで動作させた場合の表示動作について述べる。最初に第1走査期間で走査電極2の X_1 が選択され、TFT 31の T_{11} と TFT 32の T_{12} が導通となり、液晶表示素子4の L_1, L_2 に信号電極1から信号電圧が印加される。次に第2走査期間で走査電極2の X_1, X_2 が選択され、TFT 31の T_{11}, T_{12} と TFT 32の T_{21}, T_{22} が導通となり、液晶表示素子4の L_1, L_2, L_3 に信号電極1から信号電圧が印加される。この時、液晶表示素子4の L_1, L_2 は第1走査期間で充電された信号電圧から新たな信号電圧に充電されることになる。次に第3走査期間で走査電極2の X_2, X_3 が選択されると、TFT 31の T_{21}, T_{22} と TFT 32の T_{31}, T_{32} が導通となり液晶表示素子4の L_2, L_3, L_4 に信号電極1から信号電圧が印加される。この時、液晶表示素子4の L_2, L_3 は第2走査期間で充電

された信号電圧から新たな信号電圧に充電されることになるが、液晶表示素子4の L_1 は第2走査期間で充電された信号電圧を1フレーム(1V)保持するので、表示データ電圧として駆動される。次に第4走査期間で走査電極2の X_3, X_4 が選択されると、TFT 31の T_{31}, T_{32} と TFT 32の T_{41}, T_{42} が導通となり液晶表示素子4の L_3, L_4, L_5 に信号電極1から信号電圧が印加される。この時、液晶表示素子4の L_3, L_4 は第3走査期間で充電された信号電圧から新たな信号電圧に充電されることになるが、液晶表示素子4の L_2 は第3走査期間で充電された信号電圧を1フレーム(1V)保持するので、表示データ電圧として駆動される。以下、同様の動作を繰り返すが、この基本的な動作状態を表にしたのが第2図(A)である。表からも明らかのように1走査期間に3個の表示画素を充電し、最後に充電された信号電圧が最終表示データ(図の●)として正常な表示データが表示されることになる。但し、完全な nH 選択に入るまで $(n-1)$ 走査期間を要

された信号電圧から新たな信号電圧に充電されることになるが、液晶表示素子4の L_1 は第2走査期間で充電された信号電圧を1フレーム(1V)保持するので、表示データ電圧として駆動される。次に第4走査期間で走査電極2の X_3, X_4 が選択されると、TFT 31の T_{31}, T_{32} と TFT 32の T_{41}, T_{42} が導通となり液晶表示素子4の L_3, L_4, L_5 に信号電極1から信号電圧が印加される。この時、液晶表示素子4の L_3, L_4 は第3走査期間で充電された信号電圧から新たな信号電圧に充電されることになるが、液晶表示素子4の L_2 は第3走査期間で充電された信号電圧を1フレーム(1V)保持するので、表示データ電圧として駆動される。以下、同様の動作を繰り返すが、この基本的な動作状態を表にしたのが第2図(A)である。表からも明らかのように1走査期間に3個の表示画素を充電し、最後に充電された信号電圧が最終表示データ(図の●)として正常な表示データが表示されることになる。但し、完全な nH 選択に入るまで $(n-1)$ 走査期間を要

するので、総走査期間として $N + (n - 1)$ 走査期間が必要となり、1 フレームの時間がながくなる。

一方、第1図(B)では第1走査期間に第1番目から第 n 番目の走査電極について同時選択し、 n H 選択の線順次走査駆動を行っていくので、総走査期間は従来通りの N 走査期間で可能であり、表示動作としては第1走査期間の選択走査電極が X_1, X_2 から開始される以外は上記と同様である。

以後、従来例と同様に3個までの TFT のオープン不良の場合の表示状態について述べる。最初に第1の TFT 31 の1個が不良(ここでは T_B)になった場合の表示動作を示したのが第2図(B)である。選択走査電極が X_2, X_3 の時の信号電圧は TFT (T_B) を介して表示画素 L_2, L_3, L_4 に充電され、選択走査電極が X_3, X_4 の時の信号電圧は TFT (T_B) を介して表示画素 L_3, L_4, L_5 に充電されるので、結果として(A)と同様な正常な表示データを表示することができる。

されるので、結果として、表示画素 L_3 のみ表示画素 L_2 の最終表示データと同じ信号電圧で表示され、点欠陥は生じない。

次に第1の TFT 31 の隣接した2個と第2の TFT 32 の1個の計3個が不良(ここでは T_B, T_M, T_D)になった場合の表示動作を示したのが第2図(E)である。選択走査電極が X_2, X_3 の時の信号電圧は TFT (T_B, T_D) の不良により表示画素 L_2 に充電されなく、選択走査電極が X_3, X_4 の時の信号電圧は TFT (T_B, T_M, T_D) の不良により表示画素 L_3, L_4, L_5 に充電されないが、選択走査電極が X_4, X_5 の時の信号電圧は TFT (T_B, T_M, T_{D1}) を介して表示画素 L_4, L_5, L_6 に充電されるので、結果として、表示画素 L_3 のみ表示画素 L_2 の最終表示データと同じ信号電圧で表示され、点欠陥は生じない。

最後に第1の TFT 31 の隣接した3個が不良(ここでは T_B, T_M, T_D)になった場合の表示動作を示したのが第2図(F)である。選択走査

次に第1の TFT 31 と第2の TFT 32 との隣接した2個が不良(ここでは T_B, T_D)になった場合の表示動作を示したのが第2図(C)である。選択走査電極が X_2, X_3 の時の信号電圧は TFT (T_B) の不良により表示画素 L_2 に充電されないが、選択走査電極が X_3, X_4 の時の信号電圧は TFT (T_M, T_{D1}) を介して表示画素 L_3, L_4 に充電されるので、結果として、表示画素 L_2 のみ表示画素 L_3 の最終表示データと同じ信号電圧で表示されるので、点欠陥は生じない。

次に第1の TFT 31 の隣接した2個が不良(ここでは T_B, T_M)になった場合の表示動作を示したのが第2図(D)である。選択走査電極が X_2, X_3 の時の信号電圧は TFT (T_B, T_D) を介して表示画素 L_2, L_3, L_4 に充電され、選択走査電極が X_3, X_4 の時の信号電圧は TFT (T_M, T_D) の不良により表示画素 L_3, L_4, L_5 に充電されないが、選択走査電極が X_4, X_5 の時の信号電圧は TFT (T_B, T_{D1}, T_{D2}) を介して表示画素 L_4, L_5, L_6 に充電

電極が X_2, X_3 の時の信号電圧は TFT (T_B, T_M, T_D) を介して表示画素 L_2, L_3, L_4 に充電され、選択走査電極が X_3, X_4 および X_4, X_5 の時の信号電圧は TFT (T_B, T_M, T_{D1}) の不良により表示画素 L_3, L_4, L_5, L_6 に充電されないが、選択走査電極が X_5, X_6 の時の信号電圧は TFT (T_B, T_{D1}, T_{D2}) を介して表示画素 L_5, L_6, L_7 に充電されるので、結果として、表示画素 L_3, L_4 を表示画素 L_2 の最終表示データと同じ信号電圧で表示され、特に表示画素 L_4 は2走査期間前の表示データになってしまうが点欠陥は生じない。

以上のようにこの実施例によれば、2 H 期間に渡って選択を行って線順次走査をすることにより、1個の TFT 不良に対して正確な表示データが表示できるとともに、1画素に対して3種の表示データの信号電圧が順次充電されて行くので、隣接する3個までの TFT 不良があっても補間データとして表示が可能であり点欠陥に至ることはない。隣接する3個の TFT 不良確率 ($P \times P \times P =$

$P^2 : P \ll 1$) は殆ど零に近い値であり、表示パネルの歩留まりを飛躍的に向上させることができる。特に、前記した1個のTFT不良に対しても正確な表示データが表示できることから、DA端末側等の正確な情報表示を必要とするものには最適である。

また、この実施例では2H選択の線順次走査について述べたが、一般にnH選択駆動を行えば、 $(n-1)$ 個までのTFT不良に対しては正確な表示データが再現可能であり、n個までのTFT不良に対して補間された疑似表示データでの表示が可能となるので、少なくともn個のTFT不良までは点欠陥を抑制することができる。

次に本発明の実施例におけるアクティブマトリックス表示装置の駆動制御法を、駆動タイミングとして第1図(B)で示した第1走査期間に第1番目から第n番目の走査電極について同時選択し、nH選択の線順次走査駆動する場合について述べる。第3図は走査電極2を駆動するXドライバを走査電極2の片側に配置した場合であり、(A)は

第2図(A)の基本表示動作の駆動を行うことができる。選択期間をnHとした場合には、シフトクロック信号SCに関して、1H間隔走査を開始するシフトデータ信号SDのオン期間にn個のクロック信号を入れることにより、第1走査期間で X_1, X_2, \dots, X_N のn本の走査電極を同時選択し、線順次走査駆動を行うことができる。

第4図は走査電極2を駆動するXドライバを走査電極2の奇数電極側および偶数電極側の左右に配置した場合であり、(A)は走査側駆動回路のブロック図を示す。ここで71は奇数側走査電極21に対応した出力端子数が $N/2$ の奇数電極側Xドライバ、72は偶数側走査電極22に対応した出力端子数が $N/2$ の偶数電極側Xドライバである。Xドライバの左右分離構成は、高精細度化をはかる場合に走査電極とXドライバとの接続ピッチが第3図に比べ、2倍に広げることができるので高密度実装がやり易い利点がある。駆動のタイミングを第4図(B)に示すが、特にシフトクロック信号SCは、共通のシフトデータ信号SDに

走査側駆動回路のブロック図を示す。ここで70は走査電極数Nに対応した出力端子数がNのXドライバである。Xドライバ70はシフトデータ信号SD、シフトクロック信号SCで制御され、DC電圧またはパルス電圧のSVが選択期間に各出力端子から走査電極2に印加され、表示パネル6のTFTのゲート電圧として供給される。駆動のタイミングは第3図(B)で示すように、1走査期間に対応する水平同期期間HDと同期して各信号、出力が制御される。シフトクロック信号SCは1H間隔走査を開始するシフトデータ信号SDのオン期間に2個のクロック信号を入れることにより、第1走査期間で2本の走査電極が同時選択される。以後、シフトクロック信号SCは1H間隔でシフトデータ信号SDを転送して行くので、走査電極2の選択走査は $X_1, X_2 \rightarrow X_3, X_4 \rightarrow X_5, X_6 \rightarrow \dots \rightarrow X_{N-1}, X_N \rightarrow X_N$ が走査される。これと同期して、表示データの信号電圧となるYドライバ出力を $YD_1 \rightarrow YD_2 \rightarrow YD_3 \rightarrow \dots \rightarrow YD_{N-1} \rightarrow YD_N$ と印加することにより、

対して、奇数電極側Xドライバ71のシフトクロック信号SC1と偶数電極側Xドライバ72のシフトクロック信号SC2の2種類を設けている。1H間隔走査を開始するシフトデータ信号SDのオン期間に1個のクロック信号をシフトクロック信号SC1とシフトクロック信号SC2に入れ、第1走査期間で2本の走査電極が同時選択する。以後、シフトクロック信号SC1は偶数走査期間に対応して2H間隔で、シフトクロック信号SC2は奇数走査期間に対応して2H間隔でシフトデータ信号SDを転送して行くことにより走査電極2の選択走査は $X_1, X_2 \rightarrow X_3, X_4 \rightarrow X_5, X_6 \rightarrow \dots \rightarrow X_{N-1}, X_N \rightarrow X_N$ 走査される。これと同期して、表示データの信号電圧となるYドライバ出力を $YD_1 \rightarrow YD_2 \rightarrow YD_3 \rightarrow \dots \rightarrow YD_{N-1} \rightarrow YD_N$ と印加することにより、第2図(A)の基本表示動作の駆動を行うことができる。Xドライバを走査電極2の奇数電極側および偶数電極側の左右に配置した場合、選択走査電極は偶数本になってしまうので、選択期間は $n'H$ (但

し、 $n' = 2(n-1)$) に対して有効である。
 それ故、 $n' H$ の選択走査駆動においては、 $1 H$ 間隔走査を開始するシフトデータ信号 SD のオン期間にシフトクロック信号 $SC1$ とシフトクロック信号 SC の各々に $n' / 2$ 個のクロック信号を入れることにより、第 1 走査期間で X_1, X_2, \dots, X_N の n 本の走査電極を同時選択し、縦順次走査駆動を行うことができる。

ここでは、冗長構成の表示パネルとして、第 7 図のような第 1 のスイッチ素子 ($T_{11}, T_{12}, \dots, T_{1n}$) の液晶表示素子 (L_1, L_2, \dots, L_N) への接続を T_{11} は液晶表示素子 L_1 、 T_{12} は液晶表示素子 L_2 、 \dots 、 $T_{1(n-1)}$ は液晶表示素子 L_{n-1} 、 T_{1n} は液晶表示素子 L_N としたが、 T_{11} を液晶表示素子 L_2 、 T_{12} を液晶表示素子 L_3 、 \dots 、 $T_{1(n-1)}$ を液晶表示素子 L_N 、 T_{1n} を液晶表示素子 L_1 とした構成の表示パネルであっても同様の駆動制御ができる。また、各表示素子への信号電圧の供給を同一信号電極から行ったが、例えば、カラー表示の場合のカラーフィルタ

のデルタ配置に対応した画素配列構成パネル（垂直方向に対して、各表示素子への信号電圧を隣接する左右の信号電極に第 1 スwitch 素子を交互に接続して供給する）であっても、点欠陥の抑制効果は同様である。

なお、表示素子として液晶を例に述べたが、アクティブ素子を介した表示素子であればプラズマ表示装置 (PDP)、エレクトロルミネッセント表示装置 (ELD) 等をはじめ、本発明が有効であることは言うまでもない。

発明の効果

以上説明したように、本発明によれば、信号電極と表示素子間に設けられた TFT と各表示素子間に設けられた TFT の 2 TFT による冗長構成を有する表示パネルを n 走査期間の選択動作の順順次走査を行うことにより、例えば複数の隣接した TFT のスイッチ素子に不良があっても、表示において点欠陥の発生を防ぐことができるので、アクティブマトリックス表示パネルの歩留まりを飛躍的に改善することができ、その実用的効果は大

きいものである。

4. 図面の簡単な説明

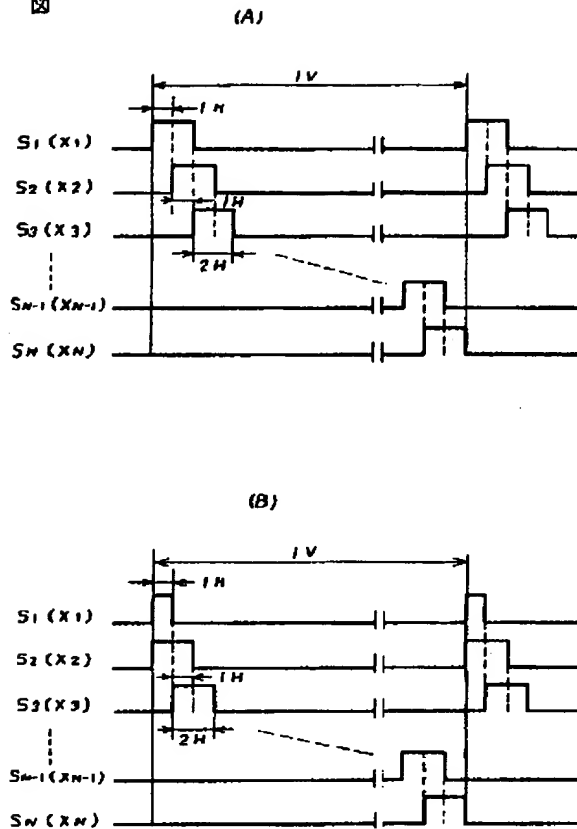
第 1 図 (A)、(B) は本発明の実施例におけるアクティブマトリックス表示装置の駆動タイミング図、第 2 図は同実施例における表示素子の表示動作図で (A) は基本表示動作図、(B) ~ (F) は TFT 不良に対する表示動作図、第 3 図は同実施例における第 1 の駆動制御法の説明図で、(A) は走査側駆動回路のブロック図、(B) は駆動のタイミング図、第 4 図は同実施例における第 2 の駆動制御法の説明図で (A) は走査側駆動回路のブロック図、(B) は駆動のタイミング図、第 5 図は従来のアクティブマトリックス表示装置の構成図、第 6 図は従来の駆動のタイミング図、第 7 図は冗長構成を持つ従来のアクティブマトリックス表示装置のアクティブマトリックス表示素子構成図、第 8 図は第 7 図の従来例における表示素子の表示動作図で (A) は基本表示動作図、(B) ~ (E) は TFT 不良に対する表示動作図である。

1 ……信号電極、2 ……走査電極、2 1 ……奇

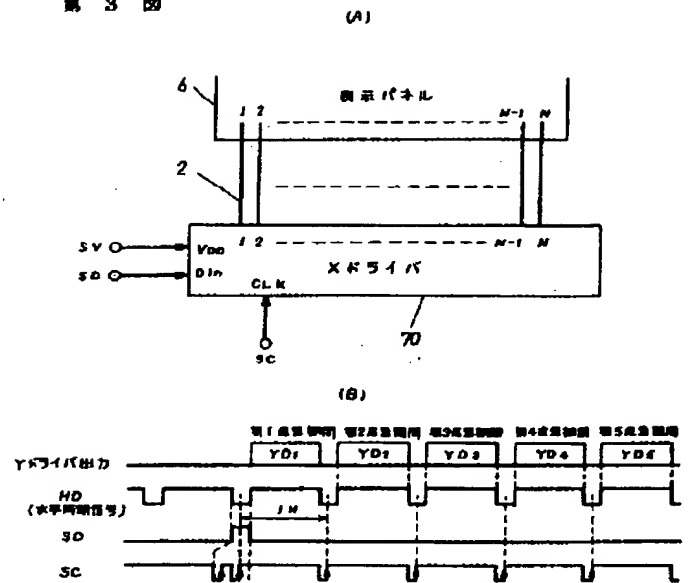
数側走査電極、2 2 ……偶数側走査電極、3, 3 1, 3 2 ……TFT、4 ……液晶、5 ……アクティブ表示素子、6 ……表示パネル、7, 7 0 ……Xドライバ、7 1 ……奇数電極側 Xドライバ、7 2 ……偶数電極側 Xドライバ、8 ……Yドライバ。

代理人の氏名 弁理士 栗野重孝 はか 1 名

第 1 図



第 3 図



第 2 図

(A) 基本表示動作

段	表示番号	1	2	3	4	5	6	...	N
Y1	○	○	○	○	○	○	○	○	○
X1+X2	○	○	○	○	○	○	○	○	○
X2+X3	○	○	○	○	○	○	○	○	○
X3+X4	○	○	○	○	○	○	○	○	○
X4+X5	○	○	○	○	○	○	○	○	○
X5+X6	○	○	○	○	○	○	○	○	○
X(N-1)+XN	○	○	○	○	○	○	○	○	○
XN	○	○	○	○	○	○	○	○	○

(B) T13不良時の表示動作

段	表示番号	1	2	3	4	5	6	...	N
Y1	○	○	○	○	○	○	○	○	○
X1+X2	○	○	○	○	○	○	○	○	○
X2+X3	○	○	○	○	○	○	○	○	○
X3+X4	○	○	○	○	○	○	○	○	○
X4+X5	○	○	○	○	○	○	○	○	○
X5+X6	○	○	○	○	○	○	○	○	○
X(N-1)+XN	○	○	○	○	○	○	○	○	○
XN	○	○	○	○	○	○	○	○	○

○: 画素内水チーフ
□: 画素内水チーフ
×: 欠画不可

(C) T13, T23不良時の表示動作

段	表示番号	1	2	3	4	5	6	...	N
Y1	○	○	○	○	○	○	○	○	○
X1+X2	○	○	○	○	○	○	○	○	○
X2+X3	○	○	○	○	○	○	○	○	○
X3+X4	○	○	○	○	○	○	○	○	○
X4+X5	○	○	○	○	○	○	○	○	○
X5+X6	○	○	○	○	○	○	○	○	○
X(N-1)+XN	○	○	○	○	○	○	○	○	○
XN	○	○	○	○	○	○	○	○	○

(D) T13, T14不良時の表示動作

段	表示番号	1	2	3	4	5	6	...	N
Y1	○	○	○	○	○	○	○	○	○
X1+X2	○	○	○	○	○	○	○	○	○
X2+X3	○	○	○	○	○	○	○	○	○
X3+X4	○	○	○	○	○	○	○	○	○
X4+X5	○	○	○	○	○	○	○	○	○
X5+X6	○	○	○	○	○	○	○	○	○
X(N-1)+XN	○	○	○	○	○	○	○	○	○
XN	○	○	○	○	○	○	○	○	○

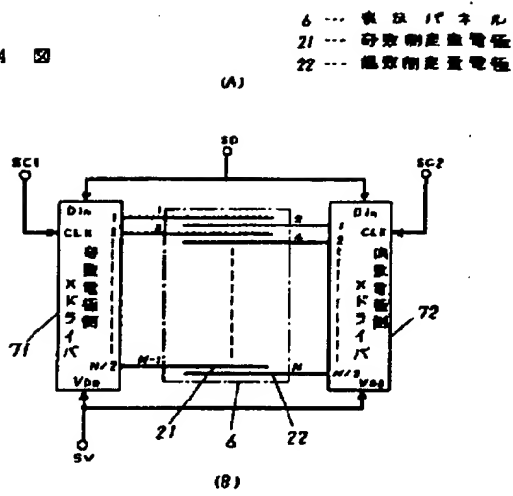
(E) T13, T14, T23不良時の表示動作

段	表示番号	1	2	3	4	5	6	...	N
Y1	○	○	○	○	○	○	○	○	○
X1+X2	○	○	○	○	○	○	○	○	○
X2+X3	○	○	○	○	○	○	○	○	○
X3+X4	○	○	○	○	○	○	○	○	○
X4+X5	○	○	○	○	○	○	○	○	○
X5+X6	○	○	○	○	○	○	○	○	○
X(N-1)+XN	○	○	○	○	○	○	○	○	○
XN	○	○	○	○	○	○	○	○	○

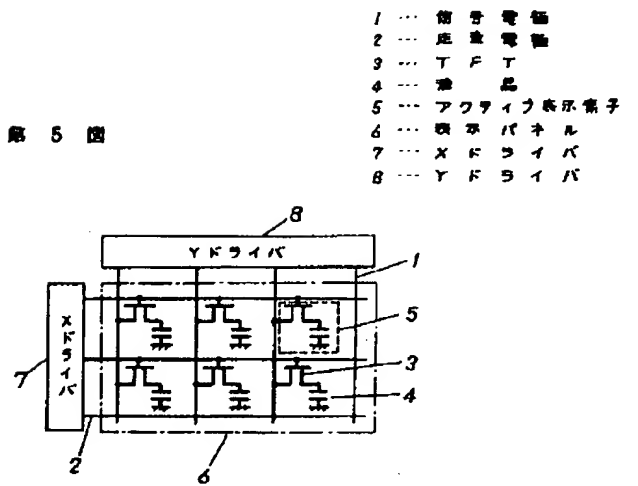
(F) T13, T14, T15不良時の表示動作

段	表示番号	1	2	3	4	5	6	...	N
Y1	○	○	○	○	○	○	○	○	○
X1+X2	○	○	○	○	○	○	○	○	○
X2+X3	○	○	○	○	○	○	○	○	○
X3+X4	○	○	○	○	○	○	○	○	○
X4+X5	○	○	○	○	○	○	○	○	○
X5+X6	○	○	○	○	○	○	○	○	○
X(N-1)+XN	○	○	○	○	○	○	○	○	○
XN	○	○	○	○	○	○	○	○	○

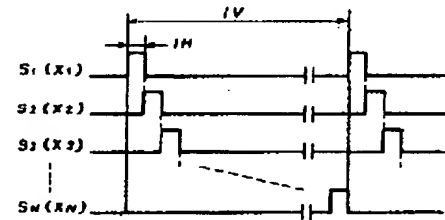
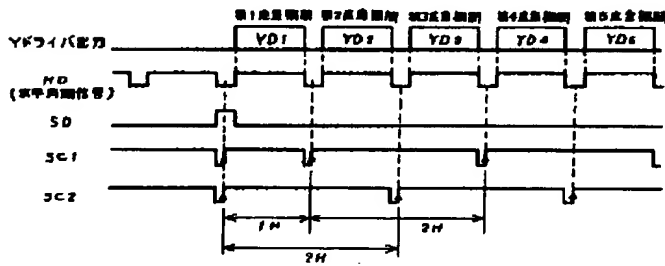
第 4 図



第 5 図

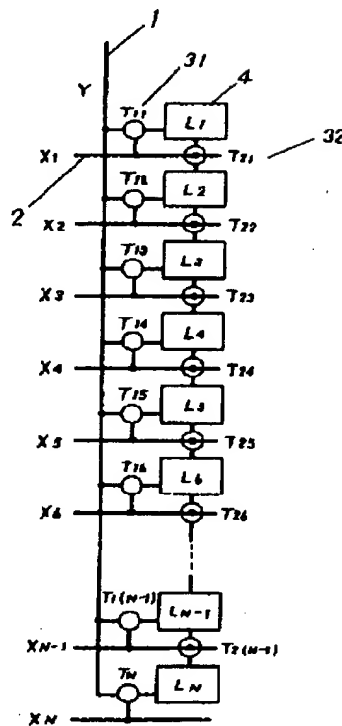


第 6 図



第 7 図

- 1 --- 信号電極
2 --- 信号電極
4 --- 信号
31, 32 --- T F T



第 8 図

(A) 基本表示動作

表示 点番号	表示点番号 No.					
	L1	L2	L3	L4	L5	...
X1	●	○				
X2		●	○			
X3			●	○		
X4				●	○	
X5					●	○
X6						●
...						
Xn-1						○
Xn						●

(B) T12 不良時の表示動作

表示 点番号	表示点番号 No.					
	L1	L2	L3	L4	L5	...
X1	●	○				
X2		●	○			
X3			●	○		
X4				●	○	
X5					●	○
X6						●
...						
Xn-1						○
Xn						●

●: 故障発生ステップ
○: 故障発生ステップ
-: 故障発生

(C) T23 不良時の表示動作

表示 点番号	表示点番号 No.					
	L1	L2	L3	L4	L5	...
X1	●	○				
X2		●	○			
X3			●	○		
X4				●	○	
X5					●	○
X6						●
...						
Xn-1						○
Xn						●

(D) T13, T23 不良時の表示動作

表示 点番号	表示点番号 No.					
	L1	L2	L3	L4	L5	...
X1	●	○				
X2		●	○			
X3			●	○		
X4				●	○	
X5					●	○
X6						●
...						
Xn-1						○
Xn						●

(E) T13, T14 不良時の表示動作

表示 点番号	表示点番号 No.					
	L1	L2	L3	L4	L5	...
X1	●	○				
X2		●	○			
X3			●	○		
X4				●	○	
X5					●	○
X6						●
...						
Xn-1						○
Xn						●

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.